

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-267544

(P2001-267544A)

(43) 公開日 平成13年9月28日(2001.9.28)

(51) Int. Cl. 7	識別記号	F I	テーマコード(参考)
H01L 27/14		H04N 5/335	U 4M118
	27/146		E 5C024
H04N 5/335		H01L 27/14	D
			A

審査請求 未請求 請求項の数10 O L

(全12頁)

(21) 出願番号 特願2000-78028(P2000-78028)

(22) 出願日 平成12年3月21日(2000.3.21)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 川崎 隆之
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

(74) 代理人 100062144
弁理士 青山 葆 (外1名)

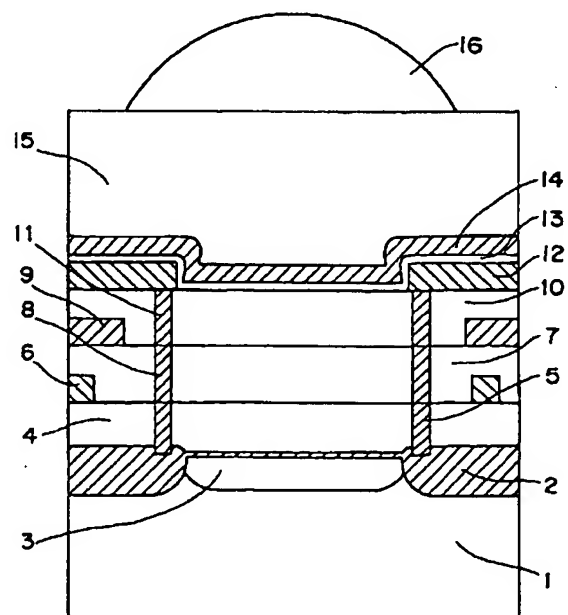
Fターム(参考) 4M118 AA01 AA10 AB01 BA14 CA03
CA40 CB14 FA06 FA28 GB14
GB15 GB17 GD04
5C024 AX01 CX01 CX03 CY47 GX02
GY33

(54) 【発明の名称】 固体撮像装置およびその製造方法

(57) 【要約】

【課題】 不要入射光による撮像画像のノイズを無くし、将来の画素微細化にも対応できる固体撮像装置を提供する。

【解決手段】 P型の半導体基板1上の受光部3を3次元的にフェンス状に囲む第1～第3埋め込み金属層5, 8, 11を第1～第3絶縁膜4, 7, 10の溝に連続的に埋め込む。第3埋め込み金属層11の頂部外側全体を遮光用の3層目メタル12で覆う。第1～第3埋め込み金属層5, 8, 11は、Cu・W・TiWの単層膜、またはCu・W・TiWとTiN・TiW・Tiとの複合膜を用いて形成し、3層目メタル12は、Al・Al-Si・Al-Cu・Cu・Wの単層膜、またはAl・Al-Si・Al-Cu・Cu・WとW・TiN・TiW・Tiとの複合膜を用いてトランジスタの配線用金属膜と同時にこれと電気的に接続しないように形成する。



p1033)

【特許請求の範囲】

【請求項 1】 一導電型の半導体基板上に、受光部と複数のトランジスタで構成された画素セルがマトリックス状に配置され、上記複数のトランジスタを駆動するための駆動回路を備えた固体撮像装置において、

上記受光部をフェンス状に囲む少なくとも 2 層以上の溝状の埋め込み金属層が積層された構造を有することを特徴とする固体撮像装置。

【請求項 2】 請求項 1 に記載の固体撮像装置において、最下層の上記溝状の埋め込み金属層の下部にフローティングゲートが設けられていることを特徴とする固体撮像装置。

【請求項 3】 請求項 1 に記載の固体撮像装置において、上記少なくとも 2 層以上の溝状の埋め込み金属層の間に、上記受光部を囲む遮光用の金属層が設けられていることを特徴とする固体撮像装置。

【請求項 4】 請求項 3 に記載の固体撮像装置において、上記溝状の埋め込み金属層と上記遮光用の金属層は、上記受光部を囲う面積が上層になるほど大きいことを特徴とする固体撮像装置。

【請求項 5】 請求項 3 または請求項 4 に記載の固体撮像装置において、上記遮光用の金属層の側面は、テーパ形状を呈していることを特徴とする固体撮像装置。

【請求項 6】 請求項 3 乃至請求項 5 のいずれか 1 つに記載の固体撮像装置において、上記遮光用の金属層は、上記トランジスタおよびトランジスタを駆動するための駆動回路の配線用金属膜と同時に形成され、かつこの配線用金属膜と電気的に接続していないことを特徴とする固体撮像装置。

【請求項 7】 請求項 1 乃至請求項 6 のいずれか 1 つに記載の固体撮像装置において、上記溝状の埋め込み金属層として、Cu・W・TiW の単層膜、または Cu・W・TiW と TiN・TiW・Ti との複合膜を用いることを特徴とする固体撮像装置。

【請求項 8】 請求項 1 乃至請求項 6 のいずれか 1 つに記載の固体撮像装置において、上記遮光用の金属層として、Al・Al-Si・Al-Cu・Cu・W の単層膜、または Al・Al-Si・Al-Cu・Cu・W と W・TiN・TiW・Ti との複合膜を用いることを特徴とする固体撮像装置。

【請求項 9】 一導電型の半導体基板上に、受光部と複数のトランジスタで構成された画素セルがマトリックス状に配置され、上記複数のトランジスタを駆動するための駆動回路を備えた固体撮像装置の製造方法において、上記受光部を囲むように受光部上の絶縁膜を少なくとも 2 回以上溝状に除去し、この溝内に金属層を埋め込む工程を含むことを特徴とする固体撮像装置の製造方法。

【請求項 10】 請求項 9 に記載の固体撮像装置の製造方法において、上記溝内に埋め込まれる金属層は、上記トランジスタおよびトランジスタを駆動するための駆動

回路の配線接続孔用の金属層と同時に形成されることを特徴とする固体撮像装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像装置およびその製造方法に関し、より詳しくは、駆動用回路への光の入射によるノイズの発生を抑えることのできる固体撮像装置およびその製造方法に関する。

【0002】

【従来の技術】 従来、固体撮像装置、特に、受光部と各受光部をドライブするためのトランジスタをアレイ状に配置し、さらに受光領域周辺に駆動用回路を配置した CMOS 型(相補型金属酸化膜半導体)固体撮像装置の受光部は、図 11、図 12、図 13 に示すような構造を有する。これらの CMOS 型固体撮像装置は、アレイ状に配置した受光部の夫々が複数のドライブ用トランジスタをもつ構造となっており、その場合、ドライブ用トランジスタに接続する配線層と、トランジスタへの光入射によるノイズを抑える遮光用の金属膜層との双方を受光領域内に配置する必要がある。CMOS 型固体撮像装置は、一般に 2 層以上の多層メタルプロセスを用いて製造されており、例えば 3 層メタルプロセスによるものは、図 11 に示すような構造を有する。

【0003】 図 11 の CMOS 型固体撮像装置は、P 型半導体(シリコン)の基板 21 上に、N 型不純物層からなる受光部 23 と、この受光部 23 とドライブ用のトランジスタを分離するためのシリコン酸化膜 22 を形成し、これらの上に形成した絶縁膜 24 にドライブ用トランジスタや周辺回路に接続する接続孔(図示せず)を設け、この接続孔内に W・TiN・TiW 等の高融点金属層を単層または多層で埋め込んだ後、配線として使用する 1 層目メタル 26 を Al・Al-Si・Al-Cu 等の単層膜またはこれらと TiN・Ti・TiW 等との多層膜により形成する。さらに、1 層目メタル 26 および絶縁膜 24 の上にシリコン酸化膜等の絶縁膜 27 を形成し、CMP(メカノケミカルポリッシング)等により平坦化した後、ドライブ用トランジスタや周辺回路での多層配線を行うための接続孔(図示せず)を同様に設け、この接続孔内に W・TiN・TiW 等の高融点金属層を単層または多層で埋め込んだ後、遮光用(トランジスタ部では配線用)として使用する 2 層目メタル 29 を Al・Al-Si・Al-Cu 等の単層膜またはこれらと TiN・Ti・TiW 等の多層膜により受光部 23 上を除いて全面を覆うように形成する。

【0004】 次いで、シリコン酸化膜等の絶縁膜 30 を形成し、CMP 等により平坦化後、この上に Al・Al-Si・Al-Cu 等の単層膜またはこれらと TiN・Ti・TiW 等の多層膜により 3 層目メタルを形成するが、この例では、3 層目メタルは受光部領域周辺での駆動回路のみで用いられ、受光部 23 上では総て取り除かれるので、図 11 には示されていない。また、2 層目メタル 29 を

遮光に用いているのは、3層目メタルで遮光を行なうと、後に形成するマイクロレンズ36との距離が短くなって、集光上不利になるため、できるだけ基板21に近い低い位置のメタルで遮光するためである。最後に、絶縁膜30上に表面保護膜33、34としてシリコン酸化膜やシリコン窒化膜を単層または多層で形成し、さらに平坦化膜35およびアクリル系材料からなるマイクロレンズ36を形成して、CMOS型固体撮像装置としている。

【0005】一方、最近の画素の高精細化に伴い1つの画素面積が小さくなり、トランジスタ駆動用の配線が1層目メタル26だけでは不足し、配線が困難になりつつあるため、図12に示す2層目メタル29も配線に用いる方法や、図13に示す1層目メタル26および2層目メタル29を配線に使い、3層目メタル37を遮光に用いる方法も採用されている。

【0006】

【発明が解決しようとする課題】しかしながら、図12に示す1層目メタル26と2層目メタル29の双方を配線に用いる構造では、配線用金属膜を遮光用金属膜と兼用する構造であるため、所々で金属膜が開いていて、マイクロレンズ36で集光していても、斜めからの入射光や乱反射光があった場合、受光部23のドライブ用トランジスタに光が入射して、撮像画像にノイズ成分が現われるという問題がある。また、上面からみて完全に遮光されている図11や図13の構造においても、各メタル26、29間には500~1000nmの層間絶縁膜27が存在するため、斜め入射光や乱反射光のドライブ用トランジスタへの入射は避けられず、その結果、撮像画像にノイズ成分が現われる。

【0007】そこで、本発明の目的は、製造プロセスにおいて工程数を増加することなく、トランジスタ部への入射光を完全に防ぐことができ、撮像画像のノイズを無くし、将来の画素微細化にも対応できる固体撮像装置およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、一導電型の半導体基板上に、受光部と複数のトランジスタで構成された画素セルがマトリックス状に配置され、上記複数のトランジスタを駆動するための駆動回路を備えた固体撮像装置において、上記受光部をフェンス状に囲む少なくとも2層以上の溝状の埋め込み金属層が積層された構造を有することを特徴とする。

【0009】請求項1の固体撮像装置では、受光部をフェンス状に囲む少なくとも2層以上の溝状の埋め込み金属層が積層されている。つまり、上記受光部は、上方を除く周辺部が遮光用の金属膜で単に平面的に覆われた従来の受光部と異なり、マイクロレンズから受光部へ垂直に入射する光の光路以外の部分が総て遮光用金属膜で

次的にフェンス状に覆われた構造によって、受光部以外の領域への光の入射を完全に防いだものである。より詳しくは、従来から配線接続孔の埋め込み用として用いていた高融点金属膜層などの埋め込み金属層を、受光部を囲むパターンでフェンス状に形成した溝に埋め込み、これをメタル層の数だけ垂直上方へ連続するように繰り返した後、最後のメタル層を受光部上以外の総ての部分に覆うパターンで形成して、受光部以外の領域の遮光を完全にしたものである。

【0010】受光部上以外の総ての部分に覆う遮光パターンを最後(最上)のメタル層で形成することは、既に述べたマイクロレンズの集光上、遮光用金属膜をできるだけ下層に形成した方がよいという事実と反しない。なぜなら、従来のように受光部23以外を遮光膜のみで遮光する場合は、遮光膜を、図1(C)の37のように上層に形成すると、マイクロレンズ36で収束された斜め入射光が遮光膜37で反射され、受光部23への入射光量が減少するが、図1(B)の29のように下層に形成すると、斜め入射光も受光部23に達して入射光量が増加するので、遮光膜をできるだけ基板21に近い下層に形成する必要があった。しかし、本発明では、図1(A)に示すように、遮光用として受光部3を3次的に囲むように形成したフェンス状の金属膜層19が斜め入射光を反射し、受光部3に導く導波効果をもたらすので、遮光膜(遮光メタル層)12をマイクロレンズ16と略同じ上層に形成しても入射光量が減少しないのである。従って、マイクロレンズ16の集光をマイクロレンズ16から近い位置に設計することが可能になり、将来の画素微細化に伴うアスペクト比の増大にも対応できるという利点をもつことになる。

【0011】つまり、請求項1の固体撮像装置によれば、受光部以外のトランジスタ部に入射する光を完全に防いで、過剰な光や斜め入射光によるノイズの発生をなくするとともに、マイクロレンズによる光の集光を基板から高い位置に設計することができ、将来の画素微細化に伴うアスペクト比の増大にも充分に対応できるのである。

【0012】請求項2の固体撮像装置は、最下層の上記溝状の埋め込み金属層の下部にフローティングゲートが設けられていることを特徴とする。

【0013】請求項2の固体撮像装置では、受光部をフェンス状に囲む埋め込み金属層の下部にフローティングゲートが設けられているので、請求項1の作用効果に加えて、埋め込み用の溝を形成する際のエッチングをフローティングゲート上で止めることができ、溝形成エッチングを容易に行なうことができる。なお、フローティングゲートの形成は、トランジスタ部におけるゲート電極の形成と同時に進めることができるので、これによって製造プロセスの工程数が増加することはない。

【0014】請求項3の固体撮像装置は、上記少なくとも

も2層以上の溝状の埋め込み金属層の間に、上記受光部を囲む遮光用の金属層が設けられていることを特徴とする。

【0015】受光部をフェンス状に囲む少なくとも2層以上の溝状の埋め込み金属層を半導体基板上に重ね合わせ、金属層の幅が同じであることから、相互の位置合わせが難しい。しかし、請求項3の固体撮像装置では、これらの金属層の間に受光部を囲む遮光用の金属層が設けられているので、請求項1の作用効果に加えて、この遮光用の金属層の幅を上記金属層の幅よりも大きくすることによって、上下の金属層を容易に位置合わせし

つつ連続的に接続することができる。

【0016】請求項4の固体撮像装置は、請求項3の溝状の埋め込み金属層と遮光用の金属層は、上記受光部を囲う面積が上層になるほど大きいことを特徴とする。

【0017】請求項3で述べたように幅の大きい遮光用の金属層を介して上下の埋め込み金属層を重ね合わせると、マイクロレンズなどで集光した光の受光部への導波効果が乱反射等の影響によって低下するが、請求項4の固体撮像装置では、上記埋め込み金属層および遮光用の金属層の受光部を囲む面積が上層になるほど大きくなっている

ので、導波効果をもつフェンス状のこれら金属層が上に向かってテーパ状に広がる。従って、請求項1の作用効果に加えて、マイクロレンズで集光された斜め入射光が妨げられたり乱反射されにくくなって、受光部への入射光量を一層増すことができる。

【0018】請求項5の固体撮像装置は、請求項3または4の遮光用金属層の側面が、テーパ形状を呈していることを特徴とする。

【0019】請求項5の固体撮像装置では、上下の埋め込み金属層間の遮光用金属層の側面がテーパ形状を呈している

ので、請求項1の作用効果に加えて、導波効果をもつフェンス状の金属層の内周面に直角の突起がなくなるので、マイクロレンズで集光された斜め入射光が妨げられたり乱反射されにくくなって、受光部への入射光量を一層増すことができる。

【0020】請求項6の固体撮像装置は、請求項3乃至5の遮光用の金属層が、トランジスタおよびトランジスタを駆動するための駆動回路の配線用金属膜と同時に形成され、かつこの配線用金属膜と電気的に接続していないことを特徴とする。

【0021】請求項6の固体撮像装置では、上下の埋め込み金属層を繋ぐ遮光用の金属層が、トランジスタやその駆動回路の配線金属膜と同時に形成、つまり配線金属膜の形成と同一工程で行なわれるので、遮光用の金属層の形成で製造プロセスの工程数が増加することなく、製造工程数を増やすことなく請求項3乃至5の作用効果を奏することができる。

【0022】請求項7の固体撮像装置は、上記溝状の埋め込み金属層として、Cu・W・TiWの単層膜、または

Cu・W・TiWとTiN・TiW・Tiとの複合膜を用いることを特徴とする。

【0023】請求項7の固体撮像装置では、導波効果をもつフェンス状の埋め込み金属層として、受光部をドライブ用トランジスタや周辺回路に接続するために接続孔に埋め込まれる一般的な高融点金属であるCu・W・TiWの単層膜、またはCu・W・TiWとTiN・TiW・Tiとの複合膜を用いているので、導波効果をもつフェンス状の埋め込み金属層を、接続孔への高融点金属の埋め込み工程と同一工程で形成でき、製造工程数を増やすことなく上記作用効果を奏することができる。

【0024】請求項8の固体撮像装置は、上記遮光用の金属層として、Al・Al-Si・Al-Cu・Cu・Wの単層膜、またはAl・Al-Si・Al-Cu・Cu・WとW・TiN・TiW・Tiとの複合膜を用いることを特徴とする。

【0025】請求項8の固体撮像装置では、上下の埋め込み金属層を繋ぐ遮光用の金属層として、ドライブ用のトランジスタや周辺回路部のトランジスタの配線に一般的に用いられるAl・Al-Si・Al-Cu・Cu・Wの単層膜、またはAl・Al-Si・Al-Cu・Cu・WとW・TiN・TiW・Tiとの複合膜を用いているので、上記遮光用の金属層を、トランジスタの配線工程と同一工程で形成でき、製造工程数を増やすことなく上記作用効果を奏することができる。

【0026】請求項9の発明は、一導電型の半導体基板上に、受光部と複数のトランジスタで構成された画素セルがマトリックス状に配置され、上記複数のトランジスタを駆動するための駆動回路を備えた固体撮像装置の製造方法において、上記受光部を囲むように受光部上の絶縁膜を少なくとも2回以上溝状に除去し、この溝内に金属層を埋め込む工程を含むことを特徴とする。

【0027】請求項9の固体撮像装置の製造方法では、受光部を囲むように受光部上の絶縁膜を少なくとも2回以上溝状に除去し、この溝内に金属層を埋め込むので、製造された固体撮像装置の受光部は、マイクロレンズから受光部へ垂直に入射する光の光路以外の部分が総て遮光用金属膜で3次元的にフェンス状に覆われた構造になって、受光部以外の領域への光の入射が完全に防がれる。従って、請求項1で述べたように、過剰な光や斜め入射光によるノイズの発生をなくするとともに、マイクロレンズによる光の集光を基板から高い位置に設計することができ、将来の画素微細化に伴うアスペクト比の増大にも充分に対応できる。

【0028】請求項10の固体撮像装置の製造方法は、上記溝内に埋め込まれる金属層が、上記トランジスタおよびトランジスタを駆動するための駆動回路の配線接続孔用の金属層と同時に形成されることを特徴とする。

【0029】請求項10の固体撮像装置の製造方法では、溝内に埋め込まれる金属層が、トランジスタおよびトランジスタを駆動するための駆動回路の配線接続孔用

の金属層と同時に形成されるので、受光部をフェンス状に囲み、導波効果をもつ金属層を、トランジスタやその駆動回路の配線接続孔用の金属層と同時に、つまり同一工程で形成できるから、導波効果をもつフェンス状の金属層の形成で製造プロセスの工程数が増加することなく、製造工程数を増やすことなく請求項9の作用効果を奏することができる。

【0030】

【発明の実施の形態】以下、本発明を図示の実施の形態により詳細に説明する。本発明の固体撮像装置は、一導電型の半導体基板上に受光部と複数のトランジスタで構成された画素セルをマトリックス状に配置し、その周辺に上記トランジスタを駆動するための駆動回路を配置してなり、図2は、請求項1、6～8に記載の固体撮像装置の一実施形態である固体撮像素子(画素セル)の断面図を示している。上記固体撮像素子は、P型の半導体基板1表面に燐、砒素などのN型不純物をドーブして設けられた受光部3と、この受光部3の両側をドライブ用トランジスタと分離する素子分離絶縁膜2と、受光部3および素子分離絶縁膜2の表面を覆う第1絶縁膜4と、この第1絶縁膜4に受光部3をフェンス状に囲むように設けられた溝に遮光のために埋め込まれた第1埋め込み金属層5と、受光部上方を除く第1絶縁膜4上にドライブ用または周辺回路のトランジスタとの配線のために設けられた1層目金属6を備えている。

【0031】上記固体撮像素子は、次に上記第1絶縁膜4および1層目金属6を覆う第2絶縁膜7と、この第2絶縁膜7に受光部3をフェンス状に囲むように設けられた溝に上記第1埋め込み金属層5の上方に連続するように埋め込まれた第2埋め込み金属層8と、受光部上方を除く第2絶縁膜7上にトランジスタとの配線のために設けられた2層目金属9を備え、更に第2絶縁膜7および2層目金属9を覆う第3絶縁膜10と、この第3絶縁膜10に同様にフェンス状に設けられた溝に埋め込まれた第3埋め込み金属層11と、第3絶縁膜10上にフェンス状の埋め込み金属層5、7、10の外側を総て覆う遮光膜としての3層目金属12と、第3絶縁膜10および3層目金属を覆う2層の表面保護膜13、14と、表面保護膜14上の平坦化膜15と、集光のため最上部に設けられたマイクロレンズ16を備えている。

【0032】上記第1、第2、第3絶縁膜4、7、10は、夫々1層目、2層目、3層目金属6、9、12の下地となるため、金属の微細化を促す平坦性をもった燐、砒素を含むシリコン酸化(BPSG)膜からなる。第1、第2、第3埋め込み金属層5、7、10には、接続、配線用に一般的な高融点金属であり、遮光にも用いることができるCu・W・TiWの単層膜、またはCu・W・TiWとTiN・TiW・Tiとの複合膜を用い、各絶縁膜4、7、10に設けられるフェンス状の溝は、ドライブ用トランジスタや周辺回路への接続孔の形成と同一工程で形成され

る。上記1層目、2層目、3層目金属6、9、12には、トランジスタの配線用に一般的で遮光性をもつAl・Al-Si・Al-Cu・Cu・Wの単層膜、またはAl・Al-Si・Al-Cu・Cu・WとW・TiN・TiW・Tiとの複合膜を用いる。上記表面保護膜13、14には、シリコン窒化膜・シリコン酸化膜・燐を含んだシリコン酸化膜(PSG膜)・SiON膜などの単層膜または多層膜を用いることができるが、本実施の形態では、PSG膜と表面の安定性に優れたシリコン窒化膜との多層膜を用いた。また、マイクロレンズ16およびその下地である平坦化膜15は、アクリル系材料からなる。

【0033】請求項9、10の製造方法の一例の説明を兼ねて、図2で述べた固体撮像素子の製造方法について図3～図5を参照しつつ説明する。まず、図3(A)に示すように、P型シリコンの半導体基板1上に受光部3とドライブ用トランジスタや周辺回路トランジスタとを分離する絶縁膜2をシリコンの熱酸化により形成する。酸化条件として、950～1100℃の炉中に水素と酸素ガスを導入して、炉内の半導体基板1の表面に200～600nmのシリコン酸化膜を形成する。なお、受光部3の周辺のトランジスタ等は示されていない。次に、受光部となる部分にリン・砒素等のN型不純物をイオン注入して受光部3を形成する。次に、図3(B)に示すように、1層目金属6(図3(C)参照)の下地となる第1絶縁膜4をシリコン酸化膜により形成するが、シリコン酸化膜4には、配線用の1層目金属6を微細化させるため平坦性をもったものが望ましいので、燐・砒素を含んだシリコン酸化膜(BPSG膜)を用いた。半導体基板1を収容した常圧CVD装置に、SiH₄ガスを70～100cc/min.、PH₃ガスを150～250cc/min.、B₂H₆ガスを150～250cc/min.、O₂ガスを2～3l/min.で夫々導入し、400～500℃の温度で成膜を行ない、膜中に含まれる燐の濃度を3.0～3.5mol%、砒素の濃度を3.0～3.5wt%として、900～1000℃の温度で熱処理を行なって平坦化された第1絶縁膜4を得た。

【0034】その後、図3(B)の右側の平面図に示すように、受光部3を囲むパターンでフェンス状の遮光膜となる埋め込み金属層5用の溝を形成するが、受光部3の不要電荷を吐き出すためのリセットトランジスタを隣接して設ける必要上、上記溝は、平面図に5aで示すように一部切断されたパターンとしている。溝の一部が切断されているのは、溝の形成をドライエッチングで行なうため、厚い第1絶縁膜4が形成された部分ではエッチングを止めることができるが、第1絶縁膜4がない引出し部5aに溝を作るとエッチングを止めることができず、半導体基板1へダメージを与えるからである。上記溝の形成および後の埋め込み金属層5の埋め込みは、受光部3のドライブ用トランジスタや周辺回路部トランジスタへの接続孔の形成、およびコンタクト抵抗を下げるためのコンタクトの埋め込みと同一工程で行なえるので、製

造プロセスの工程数が増加することはない。

【0035】ここで、受光部周辺のフェンス状の溝への埋め込み金属層5の埋め込みは、トランジスタ部でのコンタクト用の高融点金属膜のCVD成長、エッチバックと同一工程になるので、上記溝をコンタクト径以下の幅にする必要がある。そのため、上記溝およびトランジスタ部でのコンタクトのエッチングは、RIE(反応性イオンエッチング)を用い、処理室の圧力を100~300Pa、CHF₃ガス流量を20~100sccm、CF₄ガス流量を5~50sccm、Arガス流量を500~1000sccm、電極のRF

パワーを500~1000Wにして、受光部周辺の厚い絶縁膜4の途中でエッチングが止まるようなエッチング時間で処理する。そして、溝およびコンタクト内への高融点金属膜5の埋め込みは、TiN等の材料をスパッタリング等の方法で成膜した後、六弗化タングステン(WF₆)とアルゴン・水素(H₂)・窒素(N₂)を原料ガスに用いた減圧CVD法等により、5000~10000Paの圧力、250~650℃の成長温度でタングステンの成膜を行う。

【0036】次に、別のRIEチャンバにウェハを移し、処理室の圧力を15~50Pa、SF₆ガス流量を50~200sccm、Arガス流量を50~150sccm、Heガス流量を2~20sccm、電極のRFパワーを300~700Wにして、タングステン下のTiN膜が露出するまで高融点金属膜をエッチングした後、例えばECR(電子サイクロトロン共鳴)型プラズマエッチング装置等を用い、処理室の圧力を0.1~3Pa、BCl₃ガス流量を20~100sccm、SF₆ガス流量を10~50sccm、マイクロ波のパワーを200~500W、バイアスRFのパワーを20~100Wとして、絶縁膜4が露出するまでTiNのエッチングを行なう。こうして、図3(B)に示すように、フェンス状の遮光膜としての埋め込み金属層5が形成される。続いて、受光部3のドライブ用や周辺回路部用のトランジスタで配線として用いる1層目金属6をAl・Al-Si・Al・Cu・Cu・Wの単層膜またはAl・Al-Si・Al・Cu・Cu・WとW・TiN・TiW・Tiとの複合膜としてスパッタリング等の方法で成膜した後、フォトリソエッチングによって配線6を形成する。ドライエッチングの条件は、例えばECR型プラズマエッチング装置を用い、処理室の圧力を0.1~3Pa、BCl₃ガス流量を20~100sccm、Cl₂ガス流量を20~100sccm、マイクロ波のパワーを200~500W、バイアスRFのパワーを20~100Wとした。なお、本実施の形態では、図3(C)に示すように、受光部3上方の1層目金属は全面除去されている。なお、図3(C)の右側の平面図では、配線6は省略している。

【0037】その後、2層目金属9(図4(E)参照)の下地となる第2絶縁膜7としてのシリコン酸化膜を、CVD等で成膜した後、CMP(メカノケミカルポリッシング)等で平坦化し、受光部を囲む上記埋め込み金属層5上に重なるように2層目のフェンス状の埋め込み金属

層8およびトランジスタ部での金属層間接続用の接続孔を、上述の埋め込み金属層5および1層目の接続孔の形成と同様の方法で形成して、図3(D)に示すようなフェンス状の埋め込み金属層8が得られる。なお、2層目の埋め込み金属層8は、受光部3から引き出されるリセットトランジスタへの配線の問題がないので、図3(D)の平面図に示すように、図3(B)のような切断部5aのない全周に亘って連続したパターンとなっている。

【0038】さらに、既に述べたと同様の処理の繰り返しにより、図4(E)に示すように、第2絶縁膜7上に2層目金属9(トランジスタ部での配線に使用、右側の平面図では図示せず)を形成し、図4(F)に示すように、その表面に第3絶縁膜10と接続孔(図示せず)を形成し、この第3絶縁膜10にフェンス状に設けた溝に3層目の埋め込み金属層11を、上記接続孔にコンタクト金属(図示せず)を夫々埋め込む。次いで、第3絶縁膜10上の埋め込み金属層11の外側、つまり受光部3の真上を除く総てを覆うように、図4(G)の如く遮光膜としての3層目金属12(右側の平面図では図示せず)を形成する。これによって、受光部3以外の部分への光の入射を完全に防ぐことができる。なお、上記3層目金属12は、受光部3がアレイ状に並んだ受光領域外側の図示しない周辺回路部においては、遮光用のみならず配線用としても用いられる。

【0039】その後、図5(H)に示すように、第3絶縁膜10および3層目金属12を覆うようにシリコン窒化膜および燐を含んだシリコン酸化膜により表面保護膜13、14およびレンズ下地としてのアクリル系材料からなる平坦化膜15を順次形成し、最後に、図5(I)に示すように、マイクロレンズ16をアクリル系材料で形成して固体撮像素子を完成する。

【0040】上記構成の固体撮像素子は、次のように動作する。固体撮像素子の受光部3は、図1(B)、(C)で述べた受光部23の真上以外を平面的な金属膜29、37で覆われた従来のものと異なり、図1(A)に示すように、マイクロレンズ16から受光部3へ垂直に入射する光の光路以外の部分が、埋め込み金属層19と遮光用の3層目金属12で3次元的にフェンス状に覆われた構造となっていて、受光部3以外の領域を完全に遮光している。しかも、埋め込み金属層19は、図1(A)の矢印の如くマイクロレンズ16を経て入射した光を反射して受光部3に導く導波効果をもつ。従って、斜めからの入射光や乱反射光が受光部3以外のドライブ用トランジスタ等に入射しないから、このような光によって撮像画像に現れるノイズを無くすことができる。また、遮光用の金属12を半導体基板1から離れた3層目に設けても、受光部3への入射光量が減少しないので、マイクロレンズ16に近い位置で集光することができ、将来の画素微細化に伴うアスペクト比の増大にも対応することができる。

【0041】図6は、請求項2, 3に記載の固体撮像装置の一実施形態としての固体撮像素子の断面図である。この固体撮像素子は、図2の固体撮像素子では、図3(B)で述べた第1埋め込み金属層5のための溝を第1絶縁膜4にエッチングで形成する場合、受光部3周辺の素子分離絶縁膜2が薄いと、エッチングを素子分離絶縁膜2中で止める制御が難しくなる点、および図3(D); (F)で上下の埋め込み金属層5, 8; 8, 11を位置合わせして重ね合わせるのが難しい点を改善したものである。上記固体撮像素子は、第1埋め込み金属層5の下部にフ

ローティングゲート17が設けられ、第1, 第2埋め込み金属層5, 8および第2, 第3埋め込み金属層8, 11の間に受光部3を囲む遮光用の金属層として夫々1層目メタル6, 2層目メタル9が設けられている点のみが図2の固体撮像素子と異なるので、同一構成部材には、同一番号を付して説明を省略する。

【0042】上記フローティングゲート17は、受光部3から出力される電流信号のオン・オフを制御、あるいは電流信号を増幅するトランジスタのフローティングゲート電極であり、上部の絶縁膜を介して第1埋め込み金属層5に連続するとともに、第1埋め込み金属層5の溝よりも広い幅を有し、上記トランジスタのゲート電極形成と同一工程で形成される。上記遮光用の金属層としての1層目メタル6および2層目メタル9は、具体的にはフローティング配線用の金属膜からなり、夫々上部に連続する第2埋め込み金属層8および第3埋め込み金属層11の溝よりも広い幅を有し、同層で外側にあるトランジスタの配線用メタル6または9と同一工程でこれら配線用メタルに電気的に接続されないように形成される。

【0043】図7(A)~(D), 図8(E)~(G), 図9(H)~(J)は、図6の固体撮像素子の製造工程を順に示しており、この製造工程は、図7(B)でフローティングゲート17が設けられ、図7(D), 図8(F)で遮光用の1層目, 2層目メタル6, 9が設けられる点のみが図3~図5の製造工程と異なるので、同一工程の説明は省略する。図7(C)の受光部3をフェンス状に囲む第1埋め込み金属層5のための溝を第1絶縁膜4にエッチングで形成する際、これに先立つ図7(B)の工程で素子分離絶縁膜2上にフローティングゲート17が形成されている。従って、受光部3周辺の素子分離絶縁膜2が薄い場合でも、溝のエッチングをフローティングゲート17上で確実に止めることができ、過剰エッチングで半導体基板1がダメージを受けることがなくなる。なお、フローティングゲート17は、トランジスタ部でのゲート電極の形成と同時に形成されるので、これによって製造プロセスの工程数が増加することはない。

【0044】図8(E)の第2埋め込み金属層8を下方の第1埋め込み金属層5に位置合わせして重ね合わせる場合、第1埋め込み金属層5の上には、先立つ図7(D)の工程で遮光用の幅広の1層目メタル6が形成されている

ので、第2絶縁膜7に設ける埋め込み用の溝の位置精度が多少悪くても、第2埋め込み金属層8と第1埋め込み5を1層目メタル6を介して連続的に接続することができ、上下の埋め込み金属層8, 5を容易に位置合わせできる。また、図8(G)の第3埋め込み金属層11の第2埋め込み金属層8との重ね合わせにおいても、遮光用の2層目メタル9により同様に位置合わせを容易にすることができる。なお、遮光用の1層目, 2層目メタル6, 9は、トランジスタ部での配線金属膜の形成と同時に形成されるので、これによって製造プロセスの工程数が増加することはない。

【0045】図10は、請求項4, 5に記載の固体撮像装置の一実施形態としての固体撮像素子の断面図である。この固体撮像素子は、図6の固体撮像素子では、図示の如く受光部3をフェンス状に囲む各埋め込み金属層5, 8, 11の間に遮光用の幅広の1, 2層目メタル6, 9があつて、その直角隅部が内周面から突出しているため、マイクロレンズ16で集光された光が図1(A)の如く上記内周面で反射されて受光部3へ導かれるとき、上記直角隅部で乱反射されて受光量が減少するという不具合があるので、これを改善したものである。上記固体撮像素子は、溝(フェンス)状の各埋め込み金属層5, 8, 11および遮光用の1, 2層目メタル6, 9の受光部3を囲う面積が、上層になるほど大きく、1, 2層目メタル6, 9の側面がテーパー状を呈する点を除いて図6で述べた固体撮像素子と同じ構成であるので、同一構成部材には同一番号を付して説明を省略する。第1, 第2, 第3埋め込み金属層5, 8, 11の間隔は、この順に上層にいくに伴って層幅の2倍程度ずつ増え、1, 2層目メタル6, 9は、上記層幅の2倍程度の幅をもつ等脚台形状の断面を呈するとともに、2層目メタル9の間隔が、1層目メタル6の間隔より上記層幅の2倍程度大きく、これらによって上方に向かってテーパー状に広がる連続的な導光面が形成されている。

【0046】1, 2層目メタル6, 9の等脚台形断面は、これらメタルのエッチング時に側壁保護膜生成(反応生成物)を多くすることによって形成でき、具体的には、ECR型プラズマエッチング装置等を用い、処理室の圧力を1~5 Pa、BCl₃ガス流量を50~150 sccm、Cl₂ガス流量を10~50 sccm、マイクロ波のパワーを300~500W、バイアスRFのパワーを5~50Wにすれば実現することができる。こうして、第1~3埋め込み金属層5, 8, 11および第1, 2層目メタル6, 9によって上に向かってテーパー状に広がる導波面が形成されるので、マイクロレンズ16で集光された斜め入射光が妨げられたり乱反射されることがなく受光部3に達して、受光量を一層増すことができ、撮像画像の画質を一層向上させることができる。

【0047】

【発明の効果】以上の説明で明らかなように、請求項1

の発明は、半導体基板上の固体撮像素子の受光部が少なくとも2層以上の溝状の埋め込み金属層によってフェンス状に囲まれているので、マイクロレンズから受光部へ垂直に入射する光の光路以外の部分を総て遮光用金属膜で覆うことで、受光部以外のトランジスタ部等に入射する光を完全に防いで、過剰な光や斜め入射光によるノイズの発生をなくすることができ、撮像画像の画質を向上できるうえ、フェンス状の埋め込み金属層が入射光を反射して受光部へ導く導波効果をもつので、集光をマイクロレンズに近い位置で行なうことができ、将来の画素微細化に伴うアスペクト比の増大にも対応することができる。

【0048】請求項2の固体撮像装置は、受光部をフェンス状に囲む埋め込み金属層の下部にフローティングゲートが設けられているので、請求項1の作用効果に加えて、埋め込み用の溝を形成する際のエッチングをフローティングゲート上で止めることができ、製造プロセスの工程数を増加させることなく溝形成エッチングを容易化することができる。

【0049】請求項3の固体撮像装置は、受光部をフェンス状に囲む少なくとも2層以上の溝状の埋め込み金属層の間に受光部を囲む遮光用の金属層が設けられているので、請求項1の作用効果に加えて、この遮光用の金属層の幅を上記金属層の幅よりも大きくすることによって、上下の金属層を容易に位置合わせしつつ連続的に接続することができる。

【0050】請求項4の固体撮像装置は、上記埋め込み金属層および遮光用の金属層の受光部を囲む面積が上層になるほど大きくなっているので、導波効果をもつフェンス状のこれら金属層が上に向かってテーパ状に広がって、マイクロレンズで集光された斜め入射光が妨げられたり乱反射されたりせずに受光部へ達するから、受光光量をさらに増すことができ、撮像画像の画質を一層向上させることができる。

【0051】請求項5の固体撮像装置は、上下の埋め込み金属層間の遮光用金属層の側面がテーパ形状を呈しているため、導波効果をもつフェンス状の金属層の内周面に直角の突起がなくなるから、マイクロレンズで集光された斜め入射光が妨げられたり乱反射されずに受光部へ達し、その結果、受光光量をさらに増すことができ、撮像画像の画質を一層向上させることができる。

【0052】請求項6の固体撮像装置は、上下の埋め込み金属層を繋ぐ遮光用の金属層が、トランジスタやその駆動回路の配線金属膜の形成と同一工程で行なわれるので、製造工程数を増やすことなく上記作用効果を奏することができる。

【0053】請求項7の固体撮像装置は、上記溝状の埋め込み金属層として、接続孔の埋め込みに一般的に用いられる高融点金属であるCu・W・TiWの単層膜、またはCu・W・TiWとTiN・TiW・Tiとの複合膜を用

いるので、導波効果をもつフェンス状の埋め込み金属層を、接続孔への高融点金属の埋め込み工程と同一工程で形成でき、製造工程数を増やすことなく上記作用効果を奏することができる。

【0054】請求項8の固体撮像装置は、上記遮光用の金属層として、トランジスタの配線に一般的に用いられるAl・Al-Si・Al-Cu・Cu・Wの単層膜、またはAl・Al-Si・Al-Cu・Cu・WとW・TiN・TiW・Tiとの複合膜を用いるので、遮光用の金属層を、トランジスタの配線工程と同一工程で形成でき、製造工程数を増やすことなく上記作用効果を奏することができる。

【0055】請求項9の固体撮像装置の製造方法は、上記受光部を囲むように受光部上の絶縁膜を少なくとも2回以上溝状に除去し、この溝内に金属層を埋め込む工程を含むので、マイクロレンズから受光部へ垂直に入射する光の光路以外の部分を総て遮光用金属膜で覆うことで、受光部以外のトランジスタ部等に入射する光を完全に防いで、過剰な光や斜め入射光によるノイズの発生をなくすることができ、撮像画像の画質を向上できるうえ、フェンス状の埋め込み金属層が入射光を反射して受光部へ導く導波効果をもつので、集光をマイクロレンズに近い位置で行なうことができ、将来の画素微細化に伴うアスペクト比の増大にも対応することができる。

【0056】請求項10の固体撮像装置の製造方法は、溝内に埋め込まれる金属層が、トランジスタおよびトランジスタを駆動するための駆動回路の配線接続孔用の金属層と同時に形成されるので、受光部をフェンス状に囲み、導波効果をもつ金属層を、トランジスタやその駆動回路の配線接続孔の形成と同一工程で形成できるから、製造工程数を増やすことなく上記作用効果を奏することができる。

【図面の簡単な説明】

【図1】 本発明と従来の固体撮像装置による集光軌跡を比較して示す断面図である。

【図2】 本発明の固体撮像装置の一実施形態の要部を示す断面図である。

【図3】 図2の固体撮像装置の製造工程を示す要部断面図である。

【図4】 図2の固体撮像装置の製造工程を示す要部断面図である。

【図5】 図2の固体撮像装置の製造工程を示す要部断面図である。

【図6】 本発明の固体撮像装置の他の実施形態の要部を示す断面図である。

【図7】 図6の固体撮像装置の製造工程を示す要部断面図である。

【図8】 図6の固体撮像装置の製造工程を示す要部断面図である。

【図9】 図6の固体撮像装置の製造工程を示す要部断面図である。

【図10】 本発明の固体撮像装置の他の実施形態の要部を示す断面図である。

【図11】 従来の固体撮像装置の一例を示す要部断面図である。

【図12】 従来の固体撮像装置の他の例を示す要部断面図である。

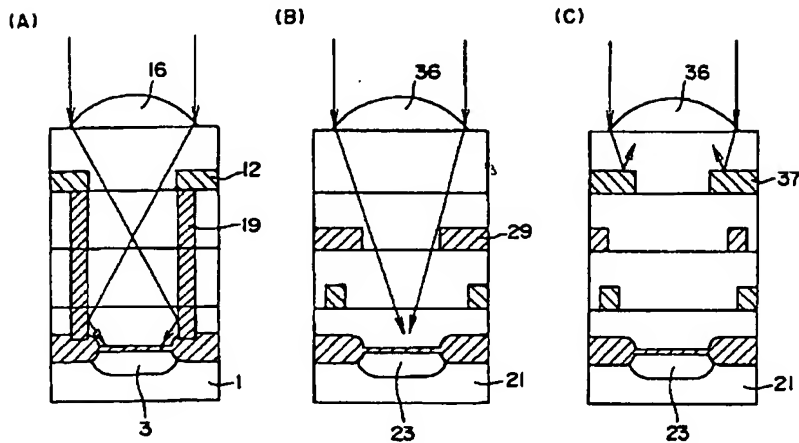
【図13】 従来の固体撮像装置の他の例を示す要部断面図である。

【符号の説明】

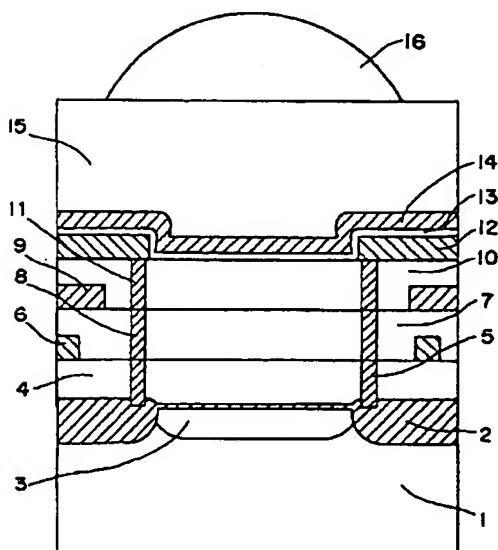
- 1 半導体基板
- 2 素子分離絶縁膜
- 3 受光部
- 4 第1絶縁膜

- 5 第1埋め込み金属層
- 6 1層目メタル
- 7 第2絶縁膜
- 8 第2埋め込み金属層
- 9 2層目メタル
- 10 第3絶縁膜
- 11 第3埋め込み金属層
- 12 3層目メタル
- 13, 14 表面保護膜
- 10 15 平坦化膜
- 16 マイクロレンズ
- 17 フローティングゲート
- 19 フェンス状の金属膜層

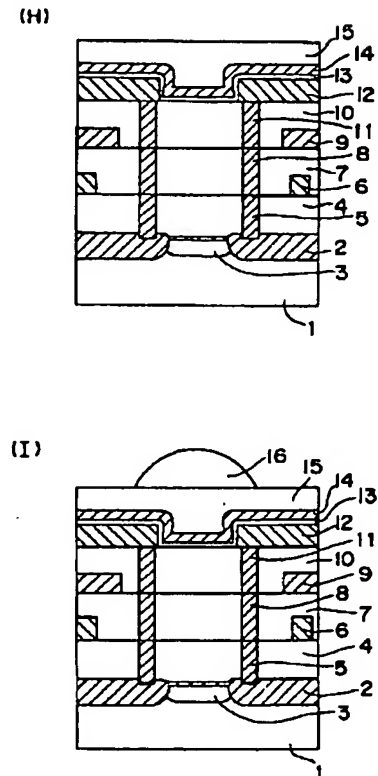
【図1】



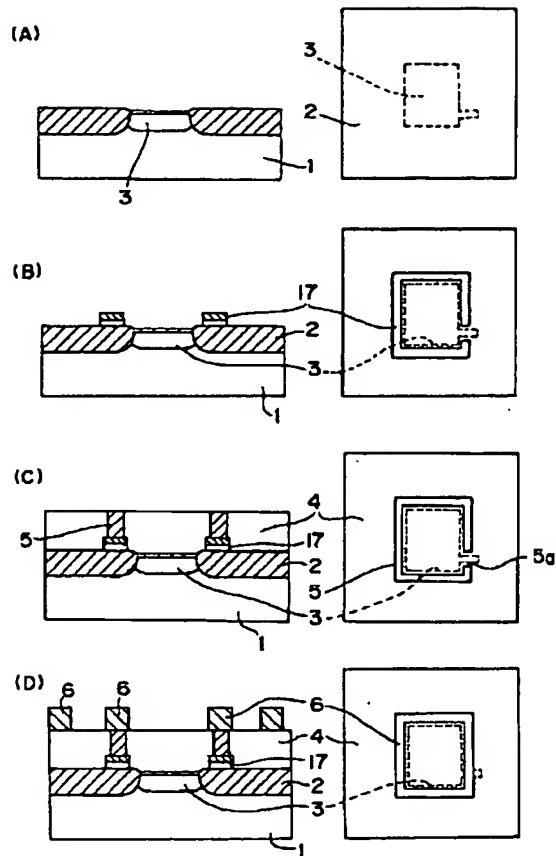
【図2】



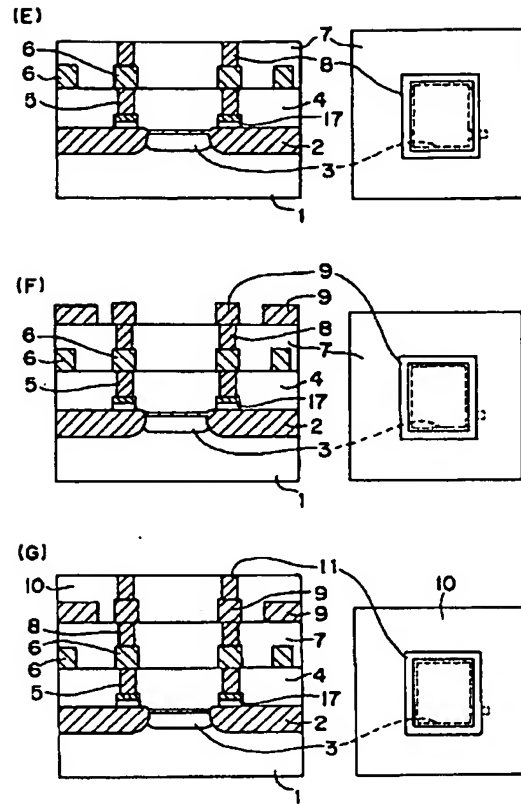
【図5】



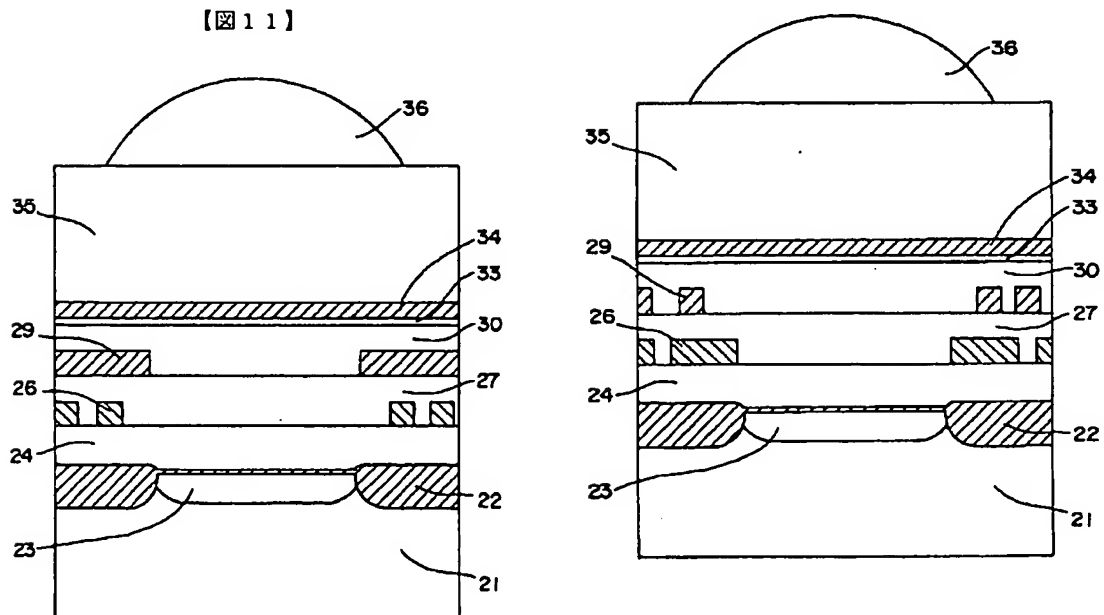
【図7】



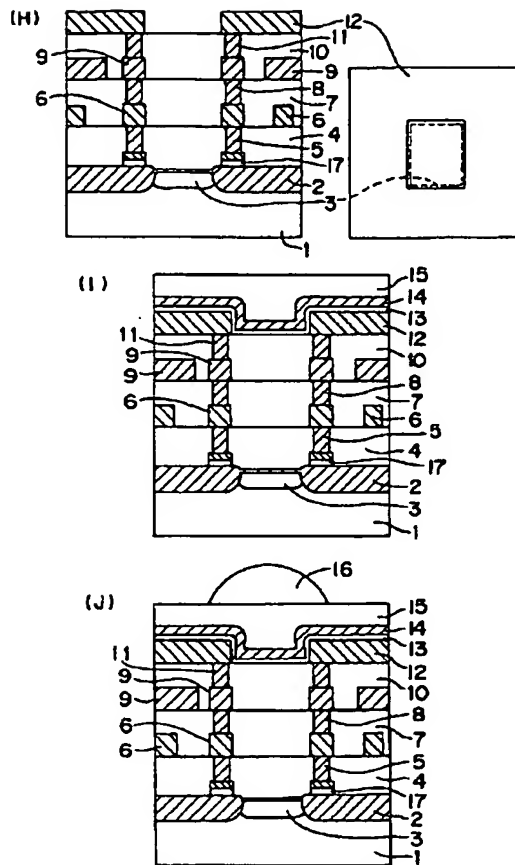
【図8】



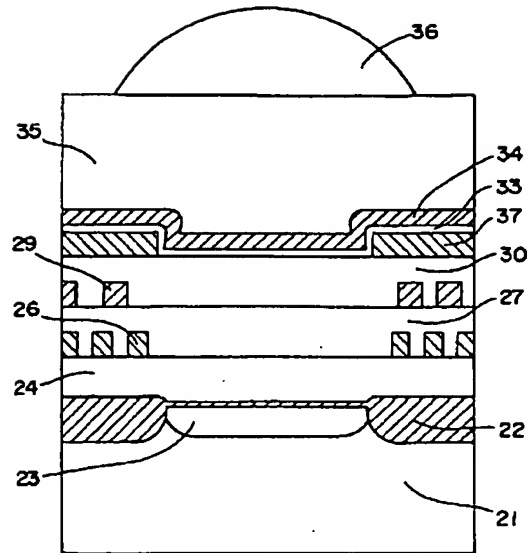
【図12】



【図9】



【図13】



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the solid state camera which can suppress generating of the noise by the incidence of the light to the circuit for a drive, and its manufacture approach in more detail about a solid state camera and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, the light sensing portion of the CMOS mold (complementary metal oxide semiconductor) solid state camera which has arranged the solid state camera and the transistor for driving a light sensing portion and each light sensing portion especially in the shape of an array, and has arranged the circuit for a drive further around a light-receiving field has structure as shown in drawing 11, drawing 12, and drawing 13. Each of the light sensing portion arranged in the shape of an array has structure with two or more transistors for a drive, and these CMOS mold solid state cameras need to station the both sides of the wiring layer which connects with the transistor for a drive in that case, and the metal membrane layer for protection from light which stops the noise by the optical incidence to a transistor in a light-receiving field. What the CMOS mold solid state camera is generally manufactured using the multilayer metal process more than two-layer, for example, is depended on a three-layer metal process has structure as shown in drawing 11.

[0003] The light sensing portion 23 to which the CMOS mold solid state camera of drawing 11 consists of an N type impurity layer on the substrate 21 of a P-type semiconductor (silicon), The silicon oxide 22 for separating this light sensing portion 23 and the transistor for a drive is formed. The connection hole (not shown) connected to the insulator layer 24 formed on these in the transistor for a drive or a circumference circuit is prepared. After embedding refractory metal layers, such as W-TiN-TiW, by the monolayer or the multilayer in this connection hole, the 1st layer metal 26 used as wiring is formed by the multilayers of monolayers, such as aluminum-aluminum-Si-aluminum-Cu, or these, TiN-Ti-TiW, etc. Furthermore, the insulator layers 27, such as silicon oxide, are formed on the 1st layer metal 26 and an insulator layer 24. After carrying out flattening by CMP (mechanochemical polishing) etc., the connection hole (not shown) for performing the multilayer interconnection in the transistor for a drive or a circumference circuit is prepared similarly. After embedding refractory metal layers, such as W-TiN-TiW, by the monolayer or the multilayer in this connection hole, The two-layer eye metal 29 used as an object for protection from light (the transistor section for wiring) is formed so that the whole surface may be covered except for a light sensing portion 23 top by monolayers, such as aluminum-aluminum-Si-aluminum-Cu, or the multilayers of these and TiN-Ti-TiW.

[0004] Subsequently, in this example, although the insulator layers 30, such as silicon oxide, are formed and the 3rd layer metal is formed on this after flattening with CMP etc. by monolayers, such as aluminum-aluminum-Si-aluminum-Cu, or the multilayers of these and TiN-Ti-TiW, since the 3rd layer metal is used only in the drive circuit in the circumference of a light sensing portion field and all are removed on a light sensing portion 23, it is not shown in drawing 11. Moreover, if it shades with the 3rd layer metal, since distance with the micro lens 36 formed behind will become short and will become

disadvantageous on condensing, the two-layer eye metal 29 is used for protection from light for shading with the metal of the low location near a substrate 21 as much as possible. Finally, silicon oxide and a silicon nitride are formed by the monolayer or the multilayer as surface protective coats 33 and 34 on an insulator layer 30, the micro lens 36 which consists of flattening film 35 and an acrylic ingredient further is formed, and it is considering as the CMOS mold solid state camera.

[0005] The method of using for wiring the 1st layer metal 26 shown in the approach of also using for wiring the two-layer eye metal 29 shown in drawing 12 since one pixel area becomes small with highly-minute-izing of the latest pixel on the other hand, wiring for a transistor drive runs short only with the 1st layer metal 26 and wiring is becoming difficult, and drawing 13 , and the two-layer eye metal 29, and using the 3rd layer metal 37 for protection from light is also adopted.

[0006]

[Problem(s) to be Solved by the Invention] However, with the structure of using for wiring the both sides of the 1st layer metal 26 and the two-layer eye metal 29 which show drawing 12 , since it is the structure of using the metal membrane for wiring also [metal membrane / for protection from light], even if the metal membrane is open in some places and it is condensing by the micro lens 36, when there are the incident light and scattered reflection light from slant, light carries out incidence to the transistor for a drive of a light sensing portion 23, and there is a problem that a noise component appears in an image pick-up image. Moreover, also in the structure of drawing 11 currently shaded completely seen from a top face, or drawing 13 , since the 500-1000nm interlayer insulation film 27 exists between each metal 26 and 29, the incidence of tolan JISUTAHE for a drive of oblique-incidence light or scattered reflection light is not avoided, consequently a noise component appears in an image pick-up image.

[0007] Then, without increasing a routing counter in a manufacture process, the purpose of this invention can prevent the incident light to the transistor section completely, loses the noise of an image pick-up image, and is to offer the solid state camera which can respond also to future pixel detailed-ization, and its manufacture approach.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the pixel cel which consisted of a light sensing portion and two or more transistors on the semi-conductor substrate of one conductivity type is arranged in the shape of a matrix, and invention of claim 1 is characterized by to have the structure where of the laminating of the embedding metal layer of at least the groove more than two-layer which surrounds the above-mentioned light sensing portion in the shape of a fence in the solid state camera equipped with the drive circuit for driving two or more above-mentioned transistors was carried out.

[0009] In the solid state camera of claim 1, the laminating of the embedding metal layer of at least the groove more than two-layer which surrounds a light sensing portion in the shape of a fence is carried out. That is, the structure where all parts other than the optical path of the light which carries out incidence perpendicularly from a micro lens to a light sensing portion unlike the light sensing portion of the former covered only superficially at the metal membrane for protection from light in the periphery excluding [the above-mentioned light sensing portion] the upper part were covered with the shape of a fence in [in the metal membrane for protection from light] three dimension protects completely the incidence of the light to fields other than a light sensing portion. It embeds in the slot which formed in more detail embedding metal layers, such as a refractory metal membrane layer used as an object for the embedding of a wiring connection hole from the former, in the shape of a fence by the pattern surrounding a light sensing portion, and after repeating this so that only the number of metal layers may follow the perpendicular upper part, all parts other than on a light sensing portion are formed for the last metal layer by the wrap pattern, and protection from light of fields other than a light sensing portion is made perfect.

[0010] It is not contrary with the fact that it is better to form the metal membrane for protection from light in a lower layer as much as possible, on condensing of the micro lens to which forming a wrap protection-from-light pattern in the last (best) metal layer already stated all the parts other than on a light sensing portion. Because, although the oblique-incidence light which it converged by the micro lens 36

will be reflected by the light-shielding film 37 and the amount of incident light to a light sensing portion 23 will decrease if a light-shielding film is formed in the upper layer like 37 of drawing 1 (C) when shading except light sensing portion 23 only by the light-shielding film like before. Since oblique-incidence light also reached the light sensing portion 23 and the amount of incident light increased it when formed in the lower layer like 29 of drawing 1 (B), the light-shielding film needed to be formed in the lower layer near a substrate 21 as much as possible. However -- since the guided wave effectiveness which the metal membrane layer 19 of the shape of a fence formed so that a light sensing portion 3 might be surrounded in three dimension as an object for protection from light reflects oblique-incidence light, and is led to a light sensing portion 3 is brought about in this invention as shown in drawing 1 (A) -- a light-shielding film (protection-from-light metal layer) 12 -- a micro lens 16 and abbreviation -- even if it forms in the same upper layer, the amount of incident light does not decrease. Therefore, it becomes possible to design condensing of a micro lens 16 in a near location from a micro lens 16, and it will have the advantage that it can respond also to increase of the aspect ratio accompanying the future formation of pixel detailed.

[0011] That is, while according to the solid state camera of claim 1 preventing completely the light which carries out incidence to the transistor sections other than a light sensing portion and abolishing generating of the noise by superfluous light or oblique-incidence light, condensing of the light by the micro lens can be designed in a high location from a substrate, and it can fully respond also to increase of the aspect ratio accompanying the future formation of pixel detailed.

[0012] The solid state camera of claim 2 is characterized by establishing the floating gate in the lower part of the groove above-mentioned embedding metal layer of the lowest layer.

[0013] In the solid state camera of claim 2, since the floating gate is established in the lower part of the embedding metal layer which surrounds a light sensing portion in the shape of a fence, in addition to the operation effectiveness of claim 1, etching at the time of forming the slot for embedding can be stopped on the floating gate, and slot formation etching can be performed easily. In addition, since formation of the floating gate can be performed to the formation and coincidence of a gate electrode in the transistor section, the routing counter of a manufacture process does not increase by this.

[0014] the solid state camera of claim 3 -- the above -- even if few, it is characterized by preparing the metal layer surrounding the above-mentioned light sensing portion for protection from light between the groove embedding metal layers more than two-layer.

[0015] When piling up the embedding metal layer of at least the groove more than two-layer which surrounds a light sensing portion in the shape of a fence on a semi-conductor substrate, alignment mutual from the width of face of a metal layer being the same is difficult. However, since the metal layer surrounding a light sensing portion for protection from light is prepared among these metal layers, in addition to the operation effectiveness of claim 1, it is continuously connectable in the solid state camera of claim 3, by making width of face of the metal layer for this protection from light larger than the width of face of the above-mentioned metal layer, carrying out alignment of the up-and-down metal layer easily.

[0016] The solid state camera of claim 4 is characterized by the groove embedding metal layer of claim 3 and the metal layer for protection from light being so large that the area surrounding the above-mentioned light sensing portion becoming the upper layer.

[0017] Although the guided wave effectiveness to the light sensing portion of the light which condensed by the micro lens etc. will fall under the effect of scattered reflection etc. if an up-and-down embedding metal layer is piled up through the metal layer for large protection from light of width of face as claim 3 described. In the solid state camera of claim 4, since it is so large that the area surrounding the light sensing portion of the above-mentioned embedding metal layer and the metal layer for protection from light becomes the upper layer, these metal layer of the shape of a fence with the guided wave effectiveness spreads in the shape of a taper toward a top. Therefore, in addition to the operation effectiveness of claim 1, the oblique-incidence light condensed by the micro lens is barred, or it becomes that scattered reflection is hard to be carried out, and the amount of incident light to a light sensing portion can be increased further.

[0018] The solid state camera of claim 5 is characterized by the side face of the metal layer for protection from light of claims 3 or 4 presenting the taper configuration.

[0019] In the solid state camera of claim 5, since the projection of a right angle is lost to the inner skin of the metal layer of the shape of a fence which has the guided wave effectiveness in addition to the operation effectiveness of claim 1 since the side face of the metal layer for protection from light between up-and-down embedding metal layers is presenting the taper configuration, the oblique incidence light condensed by the micro lens is barred, or scattered reflection becomes is hard to be carried out, and the amount of incident light to a light sensing portion can be increased further.

[0020] The solid state camera of claim 6 is characterized by forming claim 3 thru/or the metal layer for protection from light of 5 in the metal membrane for wiring and coincidence of a drive circuit for driving a transistor and a transistor, and having not connected with the metal membrane for wiring of a parenthesis electrically.

[0021] In the solid state camera of claim 6, since the metal layer for protection from light which connects an up-and-down embedding metal layer is performed to the wiring metal membrane and coincidence of a transistor or its drive circuit at the same process as formation, i.e., formation of a wiring metal membrane, claim 3 thru/or the operation effectiveness of 5 can be done so, without the routing counter of a manufacture process not increasing by formation of the metal layer for protection from light, and increasing the number of production processes.

[0022] The solid state camera of claim 7 is characterized by using the monolayer of Cu-W-TiW, or the bipolar membrane of Cu-W-TiW and TiN-TiW-Ti as the groove above-mentioned embedding metal layer.

[0023] In the solid state camera of claim 7, as an embedding metal layer of the shape of a fence with the guided wave effectiveness Since the monolayer of Cu-W-TiW which is the common refractory metal embedded at a connection hole, or the bipolar membrane of Cu-W-TiW and TiN-TiW-Ti is used in order to connect a light sensing portion to the transistor for a drive, or a circumference circuit The embedding metal layer of the shape of a fence with the guided wave effectiveness can be formed at the same process as the embedding process of the refractory metal to a connection hole, and the above-mentioned operation effectiveness can be done so, without increasing the number of production processes.

[0024] The solid state camera of claim 8 is characterized by using the monolayer of aluminum-aluminum-Si-aluminum-Cu-Cu-W, or the bipolar membrane of aluminum-aluminum-Si-aluminum-Cu-Cu-W and W-TiN-TiW-Ti as a metal layer for the above-mentioned protection from light.

[0025] In the solid state camera of claim 8, since the monolayer of aluminum-aluminum-Si-aluminum-Cu-Cu-W generally used to wiring of the transistor for a drive or the transistor of the circumference circuit section as a metal layer for protection from light which connects an up-and-down embedding metal layer, or the bipolar membrane of aluminum-aluminum-Si-aluminum-Cu-Cu-W and W-TiN-TiW-Ti is used, the metal layer for the above-mentioned protection from light can be formed at the same process as the wiring process of a transistor, and the above-mentioned operation effectiveness can be done so, without increasing the number of production processes.

[0026] Invention of claim 9 is characterized by to include the process which the pixel cel which consisted of a light sensing portion and two or more transistors is arranged in the shape of a matrix, removes the insulator layer on a light sensing portion to a groove twice [at least] or more in the manufacture approach of the solid state camera equipped with the drive circuit for driving two or more above-mentioned transistors so that the above-mentioned light sensing portion may be surrounded, and embeds a metal layer on the semi-conductor substrate of one conductivity type at this Mizouchi.

[0027] By the manufacture approach of the solid state camera of claim 9, since the insulator layer on a light sensing portion is removed to a groove twice [at least] or more so that a light sensing portion may be surrounded, and a metal layer is embedded at this Mizouchi, the light sensing portion of the manufactured solid state camera becomes the structure where all parts other than the optical path of the light which carries out incidence perpendicularly to a light sensing portion were covered in the shape of a fence in three dimension by the metal membrane for protection from light from a micro lens, and the

incidence of the light to fields other than a light sensing portion is prevented completely. Therefore, as claim 1 described, while abolishing generating of the noise by superfluous light or oblique-incidence light, condensing of the light by the micro lens can be designed in a high location from a substrate, and it can fully respond also to increase of the aspect ratio accompanying the future formation of pixel detailed.

[0028] The manufacture approach of the solid state camera of claim 10 is characterized by forming the metal layer embedded at above-mentioned Mizouchi in the metal layer and coincidence of a drive circuit for wiring connection holes for driving the above-mentioned transistor and a transistor.

[0029] Since the metal layer embedded at Mizouchi is formed in the metal layer and coincidence of a drive circuit for wiring connection holes for driving a transistor and a transistor by the manufacture approach of the solid state camera of claim 10 The metal layer which surrounds a light sensing portion in the shape of a fence, and has the guided wave effectiveness The metal layer and coincidence for wiring connection holes of a transistor or its drive circuit, That is, since it can form at the same process, the operation effectiveness of claim 9 can be done so, without the routing counter of a manufacture process not increasing by formation of the metal layer of the shape of a fence with the guided wave effectiveness, and increasing the number of production processes.

[0030]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of illustration explains this invention to a detail. The solid state camera of this invention arranges the pixel cel which consisted of a light sensing portion and two or more transistors on the semi-conductor substrate of one conductivity type in the shape of a matrix, it comes to arrange the drive circuit for driving the above-mentioned transistor around it, and drawing 2 shows the sectional view of the solid state image sensor (image cel) which is 1 operation gestalt of the solid state camera of a publication to claims 1, 6-8. The light sensing portion 3 which the above-mentioned solid state image sensor doped N type impurities, such as phosphorus and arsenic, on semi-conductor substrate 1 front face of P type, and was prepared, The isolation insulator layer 2 which separates the both sides of this light sensing portion 3 with the transistor for a drive, The 1st embedding metal layer 5 embedded in the slot prepared so that the front face of a light sensing portion 3 and the isolation insulator layer 2 might be surrounded to the 1st insulator layer 4 of a wrap, and this 1st insulator layer 4 and a light sensing portion 3 might be surrounded in the shape of a fence for protection from light, It has the 1st layer metal 6 prepared for wiring with the transistor of the object for a drive, or a circumference circuit on the 1st insulator layer 4 except the light sensing portion upper part.

[0031] The above-mentioned solid state image sensor next the 1st insulator layer 4 of the above, and the 1st layer metal 6 The 2nd insulator layer 7 of a wrap, The 2nd embedding metal layer 8 embedded so that the slot prepared so that a light sensing portion 3 might be surrounded in the shape of a fence to this 2nd insulator layer 7 might be followed above the above-mentioned 1st embedding metal layer 5, It has the two-layer eye metal 9 prepared for wiring with a transistor on the 2nd insulator layer 7 except the light sensing portion upper part. Further the 2nd insulator layer 7 and the two-layer eye metal 9 The 3rd insulator layer 10 of a wrap, The 3rd embedding metal layer 11 embedded in the slot prepared in the shape of a fence like this 3rd insulator layer 10, All of the outside of the fence-like embedding metal layers 5, 7, and 10 on the 3rd insulator layer 10 The 3rd layer metal 12 as a wrap light-shielding film, It has the micro lens 16 in which the 3rd insulator layer 10 and the 3rd layer metal were prepared at the topmost part the wrap two-layer surface protective coats 13 and 14, the flattening film 15 on the surface protective coat 14, and for condensing.

[0032] Since the 1st, 2nd, and 3rd insulator layer 4, 7, and 10 of the above serves as a substrate of the 1st layer, a two-layer eye, and the 3rd layer metal 6, 9, and 12, respectively, it consists of silicon oxidation (BPSG) film containing phosphorus with the surface smoothness which stimulates detailed-ization of metal, and boron. It is a common refractory metal to connection and wiring, and the slot of the shape of a fence prepared in each insulator layers 4, 7, and 10 is formed in the 1st, 2nd, and 3rd embedding metal layers 5, 7, and 10 using the monolayer of Cu-W-TiW which can be used also for protection from light, or the bipolar membrane of Cu-W-TiW and TiN-TiW-Ti at the same process as

formation of a connection hole in the transistor for a drive, or a circumference circuit. It is general to wiring of a transistor and the monolayer of aluminum-aluminum-Si-aluminum-Cu-Cu-W with protection-from-light nature or the bipolar membrane of aluminum-aluminum-Si-aluminum-Cu-Cu-W and W-TiN-TiW-Ti is used for the 1st above-mentioned layer, a two-layer eye, and the 3rd layer metal 6, 9, and 12. Although the monolayer or multilayers containing a silicon nitride, silicon oxide, and phosphorus, such as silicon oxide (PSG film) and SiON film, could be used for the above-mentioned surface protective coats 13 and 14, with the gestalt of this operation, the multilayers of the PSG film and the silicon nitride which is excellent in surface stability were used. Moreover, the flattening film 15 which is a micro lens 16 and its substrate consists of an acrylic ingredient.

[0033] It explains referring to drawing 3 - drawing 5 about the manufacture approach of the solid state image sensor stated by drawing 2 to serve also as explanation of an example of the manufacture approach of claims 9 and 10. First, as shown in drawing 3 (A), the insulator layer 2 which separates a light sensing portion 3, and the transistor for a drive and a circumference circuit transistor is formed by thermal oxidation of silicon on the semi-conductor substrate 1 of P type silicon. As oxidation conditions, hydrogen and oxygen gas are introduced all over a 950-1100-degree C furnace, and 200-600nm silicon oxide is formed in the front face of the semi-conductor substrate 1 in a furnace. In addition, the surrounding transistor of a light sensing portion 3 etc. is not shown. Next, the ion implantation of the N type impurities, such as Lynn and arsenic, is carried out to the part used as a light sensing portion, and a light sensing portion 3 is formed. Next, as shown in drawing 3 (B), the 1st insulator layer 4 used as the substrate of the 1st layer metal 6 (refer to drawing 3 (C)) was formed by silicon oxide, but since the thing with surface smoothness was desirable in order to make the 1st layer metal 6 for wiring make it detailed, the silicon oxide (BPSG film) containing phosphorus and boron was used for silicon oxide 4. To the atmospheric pressure CVD system which held the semi-conductor substrate 1, SiH₄ gas 70-100cc/min., 150-250cc/min. and B-2H₆ gas for PH₃ gas 150-250cc/min., Introduce O₂ gas by 2-31-/min., respectively, form membranes at the temperature of 400-500 degrees C, and concentration of 3.0-3.5-mol % and boron is made into 3.0 - 3.5wt% for the concentration of the phosphorus contained in the film. The 1st insulator layer 4 by which flattening was heat-treated and carried out at the temperature of 900-1000 degrees C was obtained.

[0034] Then, the above-mentioned slot is used as the pattern cut in part as 5a showed to a top view on the need of preparing the reset transistor for breathing out the unnecessary charge of a light sensing portion 3 adjacently although the slot for embedding metal layer 5 which serves as a fence-like light-shielding film by the pattern surrounding a light sensing portion 3 is formed as shown in the top view on the right-hand side of drawing 3 (B). Although that a part of slot is cut can stop etching in the part in which the 1st thick insulator layer 4 was formed since a slot is formed by dry etching, it is because etching cannot be stopped but a damage will be given to the semi-conductor substrate 1, if a slot is made to cash-drawer section 5a without the 1st insulator layer 4. Since formation of the above-mentioned slot and embedding of the next embedding metal layer 5 can be performed at the same process as the embedding of the contact for lowering formation of the transistor for a drive of a light sensing portion 3, or the connection hole of circumference circuit section tolan JISUTAHE, and contact resistance, the routing counter of a manufacture process does not increase them.

[0035] Here, since the embedding of the embedding metal layer 5 to the slot of the shape of a fence of the light sensing portion circumference becomes the same process as CVD growth of the refractory metal film for contact in the transistor section, and etchback, it needs to make the above-mentioned slot the width of face below the diameter of contact. Therefore, using RIE (reactive ion etching), 20 - 100sccm and CF₄ quantity of gas flow is set to 5 - 50sccm, it sets [the pressure of a processing room / 100-300Pa and CHF₃ quantity of gas flow] 500 - 1000sccm and RF power of an electrode to 500-1000W for Ar quantity of gas flow, and etching of contact in the above-mentioned slot and the transistor section processes them by etching time at which etching stops in the middle of the thick insulator layer 4 of the light sensing portion circumference. And the embedding of a slot and the refractory metal film 5 into contact forms a tungsten at the pressure of 5000-10000Pa, and the growth temperature of 250-650 degrees C with the reduced pressure CVD method which used a 6 fluoridation tungsten (WF₆), and an

argon, hydrogen (H₂) and nitrogen (N₂) for material gas, after forming ingredients, such as TiN, by approaches, such as sputtering.

[0036] A wafer is moved to another RIE chamber. The pressure of a processing room Next, 15-50Pa, Set 50 - 200sccm and Ar quantity of gas flow to 50 - 150sccm, and 2 - 20sccm and RF power of an electrode are set [SF₆ quantity of gas flow] to 300-700W for helium quantity of gas flow. After etching the refractory metal film until the TiN film under a tungsten is exposed, For example, an ECR (electron cyclotron resonance) mold plasma etching system etc. is used. TiN is etched until an insulator layer 4 exposes the pressure of a processing room, using [0.1-3Pa and BCl₃ quantity of gas flow / 20 - 100sccm and SF₆ quantity of gas flow] power of 200-500W, and Bias RF as 20-100W for the power of 10 - 50sccm and microwave. In this way, as shown in drawing 3 (B), the embedding metal layer 5 as a fence-like light-shielding film is formed. Then, after forming the 1st layer metal 6 used as wiring with the transistor the object for the drive of a light sensing portion 3, and for the circumference circuit sections by approaches, such as sputtering, as the monolayer of aluminum-aluminum-Si-aluminum-Cu-Cu-W, or bipolar membrane of aluminum-aluminum-Si-aluminum-Cu-Cu-W and W-TiN-TiW-Ti, wiring 6 is formed by photograph dry etching. The conditions of dry etching set [the pressure of a processing room / 0.1-3Pa and BCl₃ quantity of gas flow / 20 - 100sccm and Cl₂ quantity of gas flow] power of 200-500W, and Bias RF to 20-100W for the power of 20 - 100sccm and microwave for example, using the ECR mold plasma etching system. In addition, with the gestalt of this operation, as shown in drawing 3 (C), the 1st layer metal of the light sensing portion 3 upper part is removed completely. In addition, wiring 6 is omitted with the top view on the right-hand side of drawing 3 (C).

[0037] Then, the silicon oxide as the 2nd insulator layer 7 used as the substrate of the two-layer eye metal 9 (refer to drawing 4 (E)) After forming membranes by CVD etc., flattening is carried out by CMP (mechanochemical polishing) etc. So that it may lap on the above-mentioned embedding metal layer 5 surrounding a light sensing portion the connection hole for the metal interlayer connections in fence-like the embedding metal layer 8 and the transistor section of a two-layer eye It forms by the above-mentioned embedding metal layer 5 and the same approach as formation of a connection hole of the 1st layer, and the embedding metal layer 8 of the shape of a fence as shown in drawing 3 (D) is obtained. In addition, since the embedding metal layer 8 of a two-layer eye does not have the problem of wiring to the reset transistor pulled out from a light sensing portion 3, as shown in the top view of drawing 3 (D), it serves as a pattern which continued and followed the perimeter without cutting section 5a like drawing 3 (B).

[0038] Furthermore, with having already stated, by the repeat of the same processing, as shown in drawing 4 (E) As the two-layer eye metal 9 (not shown [with the top view of use and right-hand side] to wiring in the transistor section) is formed on the 2nd insulator layer 7 and it is shown in drawing 4 (F) The 3rd insulator layer 10 and a connection hole (not shown) are formed in that front face, the layer [3rd] embedding metal layer 11 is embedded in the slot established in this 3rd insulator layer 10 in the shape of a fence, and contact metal (not shown) is embedded at the above-mentioned connection hole, respectively. Subsequently, the 3rd layer metal 12 (not shown with a right-hand side top view) as a light-shielding film is formed like drawing 4 (G) so that all except right above the outside 3 of the embedding metal layer 11 on the 3rd insulator layer 10, i.e., a light sensing portion, may be covered. This can protect completely the incidence of the light to parts other than light sensing portion 3. In addition, the above-mentioned 3rd layer metal 12 is used in the circumference circuit section which the light-receiving field outside where the light sensing portion 3 was located in a line in the shape of an array does not illustrate also not only as the object for protection from light but as an object for wiring.

[0039] Then, as shown in drawing 5 (H), sequential formation of the flattening film 15 which consists of an acrylic ingredient as the surface protective coats 13 and 14 and a lens substrate by the silicon oxide containing a silicon nitride and phosphorus is carried out so that the 3rd insulator layer 10 and the 3rd layer metal 12 may be covered, finally, as shown in drawing 5 (I), a micro lens 16 is formed with an acrylic ingredient, and a solid state image sensor is completed.

[0040] The solid state image sensor of the above-mentioned configuration operates as follows. As shown except right above the light sensing portion 23 stated by drawing 1 (B) and (C) in drawing 1 (A)

unlike the conventional thing covered by the superficial metal membranes 29 and 37, the light sensing portion 3 of a solid state image sensor Parts other than the optical path of the light which carries out incidence perpendicularly to a light sensing portion 3 have the embedding metal layer 19 and structure covered in the shape of a fence in three dimension with the 3rd layer metal 12 for protection from light from the micro lens 16, and fields other than light sensing portion 3 are shaded completely. And the embedding metal layer 19 has the guided wave effectiveness which reflects the light which carried out incidence through the micro lens 16, and is led to a light sensing portion 3 like the arrow head of drawing 1 (A). Therefore, since the incident light or scattered reflection light from slant do not carry out incidence to a transistor for a drive except light sensing portion 3 etc., the noise which appears in an image pick-up image by such light can be lost. Moreover, since the amount of incident light to a light sensing portion 3 does not decrease even if it forms the metal 12 for protection from light in the 3rd layer which is separated from the semi-conductor substrate 1, it can condense in the location near a micro lens 16, and can respond also to increase of the aspect ratio accompanying the future formation of pixel detailed.

[0041] Drawing 6 is the sectional view of the solid state image sensor as 1 operation gestalt of a solid state camera given in claims 2 and 3. This solid state image sensor in the solid state image sensor of drawing 2 If the isolation insulator layer 2 of the light sensing portion 3 circumference is thin when forming in the 1st insulator layer 4 the slot for the 1st embedding metal layer 5 stated by drawing 3 (B) by etching the point that the control which stops etching in the isolation insulator layer 2 becomes difficult and the embedding metal layer 5 of the upper and lower sides by drawing 3 (D); (F), and 8; -- carrying out alignment of 8 and 11 and piling them up improves a difficult point. Since it differs from the solid state image sensor of drawing 2 in that the floating gate 17 is established in the lower part of the 1st embedding metal layer 5, and the 1st layer metal 6 and the two-layer eye metal 9 are formed, respectively as a metal layer for protection from light which surrounds a light sensing portion 3 between the 1st and 2nd embedding metal layers 5 and 8 and the 2nd and 3rd embedding metal layers 8 and 11, the above-mentioned solid state image sensor gives the same number to the same configuration member, and omits explanation to it.

[0042] The above-mentioned floating gate 17 has width of face larger than the slot of the 1st embedding metal layer 5, and is formed at the same process as gate electrode formation of the above-mentioned transistor while it is the floating-gate electrode of the transistor which amplifies control or a current signal and follows the 1st embedding metal layer 5 through a upside insulator layer in turning on and off of the current signal outputted from a light sensing portion 3. The 1st layer metal 6 and the two-layer eye metal 9 as a metal layer for the above-mentioned protection from light consist of a metal membrane for floating wiring, specifically have width of face larger than the slot of the 2nd embedding metal layer 8 which follows the upper part, respectively, and the 3rd embedding metal layer 11, and they are formed so that it may not connect with the metal for these wiring electrically at the same process as the metal 6 or 9 for wiring of the transistor which is outside in this layer.

[0043] Drawing 7 (A) - (D) drawing 8 (E) - (G) and drawing 9 (H) - (J) The production process of the solid state image sensor of drawing 6 is shown in order. This production process The floating gate 17 is formed by drawing 7 (B), and since it differs from the production process of drawing 3 - drawing 5 by drawing 7 (D) and drawing 8 (F) in that the 1st layer for protection from light and the two-layer eye metal 6 and 9 are formed, explanation of the same process is omitted. In case the slot for the 1st embedding metal layer 5 which surrounds the light sensing portion 3 of drawing 7 (C) in the shape of a fence is formed in the 1st insulator layer 4 by etching, the floating gate 17 is formed on the isolation insulator layer 2 at the process of drawing 7 (B) before this. Therefore, even when the isolation insulator layer 2 of the light sensing portion 3 circumference is thin, etching of a slot can be certainly stopped on the floating gate 17, and it is lost that the semi-conductor substrate 1 receives a damage by superfluous etching. In addition, since the floating gate 17 is formed in formation and coincidence of the gate electrode in the transistor section, the routing counter of a manufacture process does not increase it by this.

[0044] When carrying out alignment of the 2nd embedding metal layer 8 of drawing 8 (E) to the

downward 1st embedding metal layer 5 and putting it on it, on the 1st embedding metal layer 5 Since the broad 1st layer metal 6 for protection from light is formed at the process of preceding drawing 7 (D) Even if the location precision of the slot for embedding established in the 2nd insulator layer 7 is somewhat bad, the 1st embedding 5 can be continuously connected with the 2nd embedding metal layer 8 through the 1st layer metal 6, and the alignment of the up-and-down embedding metal layers 8 and 5 can be carried out easily. Moreover, in superposition with the 2nd embedding metal layer 8 of the 3rd embedding metal layer 11 of drawing 8 (G), alignment can be similarly made easy by the two-layer eye metal 9 for protection from light. In addition, since the 1st layer for protection from light and the two-layer eye metal 6 and 9 are formed in formation and coincidence of the wiring metal membrane in the transistor section, the routing counter of a manufacture process does not increase them by this.

[0045] Drawing 10 is the sectional view of the solid state image sensor as 1 operation gestalt of a solid state camera given in claims 4 and 5. This solid state image sensor in the solid state image sensor of drawing 6 Since double-width 1 for protection from light and the two-layer eye metal 6 and 9 are among each embedding metal layers 5, 8, and 11 which surround a light sensing portion 3 in the shape of a fence like illustration and the right-angle corner has projected from inner skin, Since there is fault that scattered reflection is carried out in the above-mentioned right-angle corner, and the light-receiving quantity of light decreases when it is reflected by the above-mentioned inner skin and the light condensed by the micro lens 16 is led to a light sensing portion 3 like drawing 1 (A), this is improved. Since the above-mentioned solid state image sensor is the configuration so large [that it becomes the upper layer] the area surrounding each slot (fence)-like embedding metal layers 5, 8, and 11 and 1 for protection from light, and the light sensing portion 3 of the two-layer eye metal 6 and 9 and same as the solid state image sensor stated by drawing 6 except for the point that the side face of 1 and the two-layer eye metal 6 and 9 presents the shape of a taper, it gives the same number to the same configuration member, and omits explanation. Spacing of the 1st, 2nd, and 3rd embedding metal layers 5, 8, and 11 It follows on going for the upper layer to this order, and a layer width increases by every about 2 times. 1 and the two-layer eye metal 6 and 9 While presenting the cross section of foot trapezoidal shape, such as having about 2 times [of the above-mentioned layer width] width of face, the continuous light guide side where the above-mentioned layer width of spacing of the two-layer eye metal 9 is larger than spacing of the 1st layer metal 6 about 2 times, and it spreads in the shape of a taper toward the upper part by these is formed.

[0046] The isosceles trapezoid cross section of 1 and the two-layer eye metal 6 and 9 can be formed by making [many] side-attachment-wall protective coat generation (resultant) at the time of etching of these metal. Specifically An ECR mold plasma etching system etc. is used. The pressure of a processing room 1-5Pa, BCl₃ quantity of gas flow is realizable if power of 300-500W, and Bias RF is set [50 - 150sccm and Cl₂ quantity of gas flow] to 5-50W for the power of 10 - 50sccm and microwave. In this way, since the guided wave side which spreads in the shape of a taper toward a top by the 1-3rd embedding metal layers 5, 8, and 11 and the 1st, and the two-layer eye metal 6 and 9 is formed, a light sensing portion 3 can be reached without barring the oblique-incidence light condensed by the micro lens 16, or carrying out scattered reflection, the light-receiving quantity of light can be increased further, and the image quality of an image pick-up image can be raised further.

[0047]

[Effect of the Invention] By the above explanation so that clearly invention of claim 1 Since the light sensing portion of the solid state image sensor on a semi-conductor substrate is surrounded in the shape of a fence at least by the groove embedding metal layer more than two-layer By covering by the metal membrane for protection from light, all parts other than the optical path of the light which carries out incidence from a micro lens perpendicularly to a light sensing portion The light which carries out incidence to the transistor sections other than a light sensing portion etc. can be prevented completely, and generating of the noise by superfluous light or oblique-incidence light can be abolished. In being able to improve the image quality of an image pick-up image, since a fence-like embedding metal layer has the guided wave effectiveness which reflects incident light and is led to a light sensing portion, it can condense in the location near a micro lens, and can respond also to increase of the aspect ratio

accompanying the future formation of pixel detailed.

[0048] Since the floating gate is established in the lower part of the embedding metal layer which surrounds a light sensing portion in the shape of a fence, in addition to the operation effectiveness of claim 1, the solid state camera of claim 2 can stop etching at the time of forming the slot for embedding on the floating gate, and it can easy-ize slot formation etching, without making the routing counter of a manufacture process increase.

[0049] Since the metal layer surrounding a light sensing portion for protection from light is prepared between the embedding metal layers of at least the groove more than two-layer which surround a light sensing portion in the shape of a fence, in addition to the operation effectiveness of claim 1, the solid state camera of claim 3 is continuously connectable by making width of face of the metal layer for this protection from light larger than the width of face of the above-mentioned metal layer, carrying out alignment of the up-and-down metal layer easily.

[0050] Since the solid state camera of claim 4 is so large that the area surrounding the light sensing portion of the above-mentioned embedding metal layer and the metal layer for protection from light becomes the upper layer These metal layer of the shape of a fence with the guided wave effectiveness spreads in the shape of a taper toward a top, since it reaches to a light sensing portion, without not barring the oblique-incidence light condensed by the micro lens, or carrying out scattered reflection, the light-receiving quantity of light can be increased further, and the image quality of an image pick-up image can be raised further.

[0051] Since the side face of the metal layer for protection from light between up-and-down embedding metal layers is presenting the taper configuration and the projection of a right angle is lost to the inner skin of the metal layer of the shape of a fence with the guided wave effectiveness, the oblique-incidence light condensed by the micro lens can be barred, or the solid state camera of claim 5 can be attained to a light sensing portion, without carrying out scattered reflection, consequently can increase the light-receiving quantity of light further, and can raise the image quality of an image pick-up image further.

[0052] Since the metal layer for protection from light which connects an up-and-down embedding metal layer is performed at the same process as formation of the wiring metal membrane of a transistor or its drive circuit, the solid state camera of claim 6 can do the above-mentioned operation effectiveness so, without increasing the number of production processes.

[0053] Since the monolayer of Cu-W-TiW which is the refractory metal generally used to the embedding of a connection hole as the groove above-mentioned embedding metal layer, or the bipolar membrane of Cu-W-TiW and TiN-TiW-Ti is used for it, the solid state camera of claim 7 can form the embedding metal layer of the shape of a fence with the guided wave effectiveness at the same process as the embedding process of the refractory metal to a connection hole, and it can do the above-mentioned operation effectiveness so, without increasing the number of production processes.

[0054] Since the monolayer of aluminum-aluminum-Si-aluminum-Cu-Cu-W generally used to wiring of a transistor as a metal layer for the above-mentioned protection from light or the bipolar membrane of aluminum-aluminum-Si-aluminum-Cu-Cu-W and W-TiN-TiW-Ti is used for it, the solid state camera of claim 8 can form the metal layer for protection from light at the same process as the wiring process of a transistor, and it can do the above-mentioned operation effectiveness so, without increasing the number of production processes.

[0055] Since the manufacture approach of the solid state camera of claim 9 includes the process which removes the insulator layer on a light sensing portion to a groove twice [at least] or more so that the above-mentioned light sensing portion may be surrounded, and embeds a metal layer at this Mizouchi By covering by the metal membrane for protection from light, all parts other than the optical path of the light which carries out incidence from a micro lens perpendicularly to a light sensing portion The light which carries out incidence to the transistor sections other than a light sensing portion etc. can be prevented completely, and generating of the noise by superfluous light or oblique-incidence light can be abolished. In being able to improve the image quality of an image pick-up image, since a fence-like embedding metal layer has the guided wave effectiveness which reflects incident light and is led to a light sensing portion, it can condense in the location near a micro lens, and can respond also to increase

of the aspect ratio accompanying the future formation of pixel detailed.

[0056] Since the metal layer embedded at Mizouchi is formed in the metal layer and the coincidence of a drive circuit for wiring connection holes for driving a transistor and a transistor, the manufacture approach of the solid state camera of claim 10 surrounds a light sensing portion in the shape of a fence, and since it can form a metal layer with the guided wave effectiveness at the same process as formation of the wiring connection hole of a transistor or its drive circuit, it can do the above-mentioned operation effectiveness so, without increasing the number of production processes.

[Translation done.]